

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JEONG-HO BANG

Application No.:

Filed:

For: **INTEGRATED CIRCUIT WITH  
IMPROVED OUTPUT CONTROL  
SIGNAL AND METHOD FOR  
GENERATING IMPROVED OUTPUT  
CONTROL SIGNAL**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

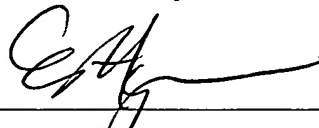
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2003-0026939	29 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Dated: 12/15/03

Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0026939  
Application Number

출원 년 월 일 : 2003년 04월 29일  
Date of Application APR 29, 2003

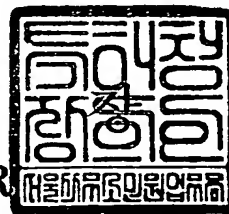
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0017  
**【제출일자】** 2003.04.29  
**【발명의 명칭】** 개선된 출력제어신호를 생성할 수 있는 반도체 집적회로 및 개선된 출력제어신호 발생방법  
**【발명의 영문명칭】** INTEGRATED CIRCUIT WITH IMPROVED OUTPUT CONTROL SIGNAL AND IMPROVED OUTPUT CONTROL SIGNAL PRODUCING METHOD  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 방정호  
**【성명의 영문표기】** BANG, Jeong Ho  
**【주민등록번호】** 710120-1150715  
**【우편번호】** 467-140  
**【주소】** 경기도 이천시 고담동 72-1번지 고담기숙사 101-509  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 11 면 11,000 원

【우선권 주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	661,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 지연회로를 통과한 내부클럭을 카운트함으로써 고속으로 동작하는 집적회로에서의 클럭 카운트를 가능하게 하고, 내부클럭과 반전된 내부클럭을 각각 독립적으로 카운트함으로써 지연회로에서의 지연시간과 보상해야 하는 시간과의 오차로 인하여 클럭 카운트의 마진이 축소되는 것을 방지함에 목적이 있다.

이를 달성하기 위한 본 발명의 반도체 집적회로는, 저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서, 외부로부터 입력되는 외부클럭에 대응되는 내부클럭과 상기 내부클럭의 반전신호인 반전내부클럭을 읽기명령내부신호를 이용하여 각각 병렬적으로 지연시킴과 함께 상기 내부클럭과 상기 반전내부클럭의 지연시간을 달리하여 카운트함으로써 출력제어신호를 출력하기 위한 출력제어신호발생수단을 포함할 수 있다.

**【대표도】**

도 6

**【색인어】**

클럭, 카운트, 지연회로, 집적회로, 에지, 검출

**【명세서】****【발명의 명칭】**

개선된 출력제어신호를 생성할 수 있는 반도체 집적회로 및 개선된 출력제어신호발생방법  
{INTEGRATED CIRCUIT WITH IMPROVED OUTPUT CONTROL SIGNAL AND IMPROVED OUTPUT CONTROL SIGNAL  
PRODUCING METHOD}

**【도면의 간단한 설명】**

도 1은 일반적인 데이터를 저장할 수 있는 집적회로에서 데이터를 출력하기 위한 블록선도,  
도,

도 2는 도 1의 출력제어신호발생부의 상세블록도,

도 3은 종래기술에 따른 출력제어신호발생부의 블록선도,

도 4는 도 3의 출력제어신호발생부가 저주파수에서 동작하는 경우의 타이밍도,

도 5는 도 3의 출력제어신호발생부가 고주파수에서 동작하는 경우의 타이밍도,

도 6은 본 발명의 일실시예에 따른 출력제어신호발생부의 블록선도,

도 7은 도 6의 출력제어신호발생부로부터 출력제어신호5의 발생 타이밍도,

도 8은 도 6의 출력제어신호발생부로부터 출력제어신호5.5의 발생 타이밍도,

도 9는 본 발명의 다른 실시예에 따른 출력제어신호발생부의 블록선도,

도 10은 도 9의 출력제어신호발생부로부터 출력제어신호5.5의 발생 타이밍도.

\* 도면의 주요 부분에 대한 설명 \*

610: 짝수클럭지연부

620: 짝수에지검출부

630: 홀수클럭지연부

640: 홀수에지검출부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본원 발명은 집적회로에 관한 것으로, 특히 개선된 클럭 카운터를 포함하는 집적회로에 관한 것이다.
- <15> 즉, 데이터를 저장할 수 있는 집적회로로부터 저장된 데이터를 읽는 경우에, 필요로 하는 데이터를 원하는 순간(클럭)에 출력하기 위하여 외부클럭에 동기된 읽기 명령을 입력받은 후, 외부클럭에 동기된 내부클럭을 이용하여 출력부를 제어하기 위하여 내부 클럭을 카운트하는 집적 회로에 적용 가능하다.
- <16> 도 1은 일반적인 데이터를 저장할 수 있는 집적회로에서 데이터를 출력하기 위한 블록선도이다.
- <17> 집적회로에서 데이터를 출력하기 위한 구성은, 외부로부터 입력되는 명령을 해석하여 데이터 저장부(130)에 읽기명령내부신호를 제공하기 위한 명령해석부(110), 주소를 입력받아 버퍼링하여 출력하기 위한 주소입력부(120), 읽을 데이터를 저장할 수 있는 데이터 저장부(130), 읽기명령내부신호를 입력받고 내부클럭을 카운트하여 제어신호를 출력하기 위한 출력제어신호 발생부(140), 및 출력제어신호발생부(140)로부터의 제어신호에 제어되어 원하는 클럭에 데이터 저장부(130)로부터 입력되는 데이터를 출력하기 위한 출력부(150)를 포함할 수 있다.

<18> 도 2는 도 1의 출력제어신호발생부(140)의 상세블록도이다.

<19> 출력제어신호발생부(140)는 읽기명령내부신호를 입력받아 내부클럭을 카운트하기 위한 클럭카운트부(210)와, 클럭카운트부(210)의 출력인 카운트 신호를 입력받아 상기 내부클럭에 동기하여 출력부(150)를 제어하기 위한 제어신호를 출력하기 위한 제어신호발생부(220)를 포함할 수 있다.

<20> 도 3은 종래기술에 따른 출력제어신호발생부(140)의 블록선도로서, 카스 레이턴시(CL: CAS(Column Address Strobe) Latency, CL은 명령 클럭과 데이터 스트로브 신호의 제1 라이징 에지 사이의 인터벌이며, 데이터 스트로브 신호는 데이터를 캡처링하기 위해 인에이블되는 신호임)가 5인 경우를 예로 든다.

<21> 제1레벨검출부(301)는 읽기명령내부신호가 입력되는 순간부터 내부클럭을 카운트하여 카운트1신호(Count1)를 출력하고, 제2레벨검출부(302)는 제1카운트신호(Count1)를 입력받는 순간부터 반전된 내부클럭을 카운트하여 카운트1.5신호(Count1.5)를 출력한다. 이러한 방식으로 클럭카운트부(210)의 제1 내지 제8 레벨검출부(303 ~ 308)는 각각 카운트2신호 내지 카운트4.5신호를 출력하고, 제어신호발생부(220)의 제9 레벨검출부(309) 및 제10 레벨검출부(310)는 각각 내부클럭과 반전된 내부클럭에 따라 제8 레벨검출부(308)의 출력(카운트4.5)과 제9레벨검출부(310)을 이용하여 각각 제어신호인 출력제어신호5 및 출력제어신호5.5를 출력한다.

<22> 도 4는 도 3의 출력제어신호발생부가 저주파수에서 동작하는 경우의 타이밍도이다.

<23> 외부클럭0에서 읽기 명령이 입력되고, 외부클럭5에서 원하는 데이터가 출력되는 경우, 출력제어신호5는 외부클럭5에 해당하는 내부클럭에 동기되어 생성된다. 이 때, 저주파수에서는 내부클럭과 외부클럭 간의 지연시간 차이, 읽기 명령으로부터 읽기명령내부신호가 생성되는 데



에 소요되는 시간이 클럭의 주기에 비해 크지 않아, 읽기명령내부신호가 활성화된 이후, 외부 클럭1에 해당하는 내부클럭으로부터 카운트할 수 있고, 출력제어신호5가 외부클럭5에 해당하는 내부클럭에 동기되어 생성된다.

<24> 그러나, 고주파수에서는 내부클럭과 외부클럭 간의 지연시간 차이, 읽기명령으로부터 읽기명령내부신호가 생성되는 데에 소요되는 시간이 클럭의 주기에 비해 크기 때문에, 읽기명령 내부신호가 활성화된 이후, 최초로 카운트 하는 내부클럭이 외부클럭1이 아닐 수 있다.

<25> 도 5는 도 3의 출력제어신호발생부가 고주파수에서 동작하는 경우의 타이밍도로서, 일례로서, 읽기명령내부신호가 활성화된 이후, 최초로 카운트 되는 내부클럭이 외부클럭3에 해당하는 경우이다.

<26> 외부클럭7에 해당하는 내부클럭에 동기되어 출력제어신호5가 생성되므로, 원하는 외부클럭5에 맞춰서 원하는 데이터를 출력할 수 없는 문제가 발생한다. 즉, 기존의 클럭 카운트부는 내부클럭과 외부클럭 사이의 지연시간 차이와 읽기명령으로부터 읽기명령내부신호가 생성되는 데에 소요되는 시간의 합이 클럭의 1주기보다 더 큰 주파수영역에서는 CL에 맞춰 데이터를 출력하기 위해서 클럭을 카운트하는 데에 해결할 수 없는 문제가 존재한다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 상기의 문제점을 해결하기 위하여 본 발명은 지연회로를 통과한 내부클럭을 카운트함으로써 고속으로 동작하는 집적회로에서의 클럭 카운트를 가능하게 함에 목적이 있다.

<28> 또한, 본 발명은 내부클럭과 반전된 내부클럭을 각각 독립적으로 카운트함으로써 지연회로에서의 지연시간과 보상해야 하는 시간과의 오차로 인하여 클럭 카운트의 마진이 축소되는 것을 방지함에 또 다른 목적이 있다.

### 【발명의 구성 및 작용】

<29> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 집적회로는, 저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서, 외부로부터 입력되는 외부클럭에 대응되는 내부클럭과 상기 내부클럭의 반전신호인 반전내부클럭을 읽기명령내부신호를 이용하여 각각 병렬적으로 지연시킴과 함께 상기 내부클럭과 상기 반전내부클럭의 지연시간을 달리하여 카운트함으로써 출력제어신호를 출력하기 위한 출력제어신호발생수단을 포함할 수 있다.

<30> 바람직하게는, 본 발명의 상기 출력제어신호발생수단은, 입력되는 상기 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 내부클럭지연수단; 상기 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 내부클럭에지검출수단; 입력되는 상기 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연된 반전내부클럭을 출력하기 위한 반전내부클럭지연수단; 및 상기 내부클럭에지검출수단으로부터 출력되는 신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 반전내부클럭에지검출수단을 포함할 수 있다.

- <31> 또한, 본 발명의 상기 출력제어신호발생수단은, 입력되는 상기 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 내부클럭지연수단; 상기 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트하고, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 내부클럭에지검출수단; 입력되는 상기 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연반전내부클럭을 출력하기 위한 반전내부클럭지연수단; 및 상기 읽기명령내부신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트하고, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 반전내부클럭에지검출수단을 포함할 수 있다.
- <32> 또한, 본 발명의 상기 내부클럭지연수단은, 상기 복수의 지연내부클럭을 출력하기 위한 병렬연결된 복수의 지연회로부를 포함할 수 있다.
- <33> 또한, 본 발명의 상기 내부클럭에지검출수단은, 적어도 상기 복수의 지연회로부의 출력과 개별적으로 연결되며, 상기 복수의 지연회로부의 출력을 순차적으로 카운트할 수 있는 복수의 내부클럭에지검출부를 포함할 수 있다.
- <34> 또한, 본원의 다른 발명에 따른 출력제어신호발생방법은, 저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서, 입력되는 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 제1 단계; 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 제2 단계; 입력되는 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연된 반전내부클럭을 출력하기 위한 제3 단계; 및 상기 제2 단계로부터 출력되는 신호를 이용하여 상기 복수의 지연반전내부클럭

중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 제4 단계를 포함할 수 있다.

<35> 또한, 본 발명의 또 다른 발명에 따른 출력제어신호발생방법은, 저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서, 입력되는 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 제1 단계; 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 제2 단계; 입력되는 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연반전내부클럭을 출력하기 위한 제3 단계; 및 상기 읽기명령내부신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 제4단계를 포함할 수 있다.

<36> 또한, 본 발명의 상기 제1 단계의 복수의 지연내부클럭중 어느 하나는 상기 외부클럭과 상기 내부클럭간의 지연시간과 읽기명령으로부터 상기 읽기명령내부신호의 생성까지의 지연시간을 포함할 수 있다.

<37> 또한, 본 발명의 상기 제2 단계는, 적어도 상기 복수의 지연내부클럭의 각각을 개별적으로 입력받아 순차적으로 카운트할 수 있는 복수의 내부클럭에지검출부를 포함할 수 있다.

<38> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한

정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

<39> 도 6은 본 발명의 일실시예에 따른 출력제어신호발생부(140)의 블록선도이고, 도 7은 도 6의 실시예에 따라 고주파수에서 동작하는 경우 출력제어신호5의 발생과정을 보인 타이밍도이며, 도 8은 도 6의 실시예에 따라 고주파수에서 동작하는 경우 출력제어신호5.5의 발생과정을 보인 타이밍도이다.

<40> 본 발명의 일실시예에 따른 출력제어신호발생부(140)는, CL이 5인 경우, 내부클럭의 짝수 에지를 검출하기 위하여 입력되는 내부클럭을 소정 시간 지연시켜 출력하기 위한 짝수클럭지연부(610), 짝수클럭지연부(610)으로부터 출력되는 지연된 내부클럭을 카운트하기 위한 짝수 에지검출부(620), 내부클럭의 홀수 에지를 검출하기 위하여 입력되는 반전 내부클럭을 소정 시간 지연시켜 출력하기 위한 홀수클럭지연부(630), 및 홀수클럭지연부(630)으로부터 출력되는 지연된 반전 내부클럭을 카운트하기 위한 홀수 에지검출부(640)를 포함할 수 있다.

<41> 구체적으로, 짝수클럭지연부(610)는 복수의 지연회로를 포함할 수 있다. 예를 들어, 짝수클럭지연부(610)는 4개의 지연회로(611, 612, 613, 614)로 구성될 수 있다. 각각의 지연회로(611, 612, 613, 614)는 내부클럭을 병렬로 입력받아 외부클럭과 내부클럭간의 지연시간을 포함하고, 또한 각각의 지연회로(611, 612, 613,

614)는 내부클럭에서의 각각의 짝수 에지를 검출할 수 있도록 서로 다른 지연시간을 갖는다. 즉, 도 7에 보이는 지연회로1(611)에서의 지연시간(A)은 제1내부클럭(0)의 라이징에지를 검출할 수 있도록 외부클럭과 내부클럭간의 지연시간(1)과 읽기명령으로부터 읽기명령내부신호가 생성되는 데에 소요되는 지연시간(2)의 합보다 크거나 같도록 함이 바람직하다. 지연회로2(612)는 제2내부클럭(1)의 라이징에지를, 지연회로3(613)은 제3내부클럭(2)의 라이징에지를, 지연회로4(614)는 제4내부클럭(3)의 라이징에지를 각각 검출할 수 있도록 적절히 지연시킨다. 지연회로2 내지 지연회로4에서 지연되는 지연량은 이하에서 언급하는 짝수에지검출부(620)의 동작과 연계하여 구체적으로 설명하기로 한다.

<42> 짝수에지검출부(620)내 짝수에지검출회로의 수는 짝수클럭지연부(610)내 지연회로의 수보다 더 많다. 짝수에지검출회로의 수가 지연회로의 수보다 1개 더 많도록 구성하는 것이 바람직하다. 본 발명의 일실시예에 따르면, 짝수에지검출부(620)는 5개의 짝수에지검출회로로 구성될 수 있다. 짝수에지검출회로1(621)은 읽기명령내부신호의 입력이후에 존재하는 지연내부클럭1의 최초 라이징에지에서 지연내부클럭1을 카운트하여 소정시간 지연된 카운트1신호를 출력한다.

<43> 짝수에지검출회로2(622)는 카운트1신호의 입력이후에 존재하는 지연내부클럭2의 최초 라이징에지에서 지연내부클럭2를 카운트하여 소정시간 지연된 카운트2신호를 출력한다. 여기서, 지연내부클럭2를 출력하는 지연회로2(612)에서의 지연시간(B, 도 7에 개시됨)은 외부클럭과 내부클럭간의 지연시간(1)과 내부클럭1과 카운트1신호간의 차이(3)의 합보다 크거나 같도록 함이 바람직하다.

<44> 짝수에지검출회로3(623) 및 짝수에지검출회로4(624)의 동작 또한 짝수에지검출회로2(622)의 동작과 동일하다. 여기서, 지연내부클럭3을 출력하는 지연회로3(613)에서의 지연시간

(C, 도 7에 개시됨)은 외부클럭과 내부클럭간의 지연시간(1)과 제3내부클럭(2)과 카운트2신호간의 차이(4)의 합보다 크거나 같도록 함이 바람직하다. 그리고, 지연내부클럭4를 출력하는 지연회로4(614)에서의 지연시간(D, 도 7에 개시됨)은 외부클럭과 내부클럭간의 지연시간(1)과 제4내부클럭(3)과 카운트3신호간의 차이(5)의 합보다 크거나 같도록 함이 바람직하다. 여기서, 짝수예지검출회로(625)는 카운트4신호의 입력이후에 존재하는 내부클럭의 최초 라이징에지에서 내부클럭을 카운트해야 하므로 지연회로4(614)는 제4내부클럭(3)의 라이징에지 이후에 카운트4신호가 생성될 수 있도록 지연내부클럭4를 지연시켜야 한다. 이와 같은 조건이 만족되면, 짝수예지검출회로(625)는 카운트4신호의 입력이후에 존재하는 제5내부클럭(4)을 카운트하여 제5내부클럭(4)으로부터 소정시간 지연된 출력제어신호5를 출력한다. 한편, 카운트1신호 내지 카운트4신호 그리고 출력제어신호5에서의 인에이블구간은 읽기명령내부신호의 인에이블구간과 모두 동일하다.

<45> 그리고, 홀수클럭지연부(630)와 홀수예지검출부(640)의 구성 및 동작은 짝수클럭지연부(610)와 짝수예지검출부(620)의 구성 및 동작과 동일하다. 예를 들어 설명하면, 지연회로1.5(631)에서는 카운트1신호 이후에 반전내부클럭1.5의 라이징 에지가 오도록 지연된 지연내부클럭1.5를 출력하면, 홀수예지검출회로(641)에서는 지연내부클럭1.5의 라이징에지에 맞추어 카운트되는 카운트1.5신호를 출력한다. 그리고, 지연회로2.5(632)에서도 마찬가지로 카운트1.5신호 이후에 지연내부클럭2.5의 라이징에지가 오도록 지연된 지연내부클럭2.5를 출력하면, 홀수예지검출회로(642)에서는 지연내부클럭2.5의 라이징에지에 맞추어 카운트되는 카운트2.5신호를 출력한다. 지연회로3.5(633), 홀수예지검출회로(643), 지연회로4.5(634) 및 홀수예지검출회로(644)도 동일하게 동작한다. 마지막으로, 홀수예지검출회로(645)에서는 카운트4.5이후에 존재하는 반전내부클럭의 최초 라이징에지를 검출하여 출력제어신호5.5를 출력한다. 여기서, 홀수

클럭지연부(630)내 각 지연회로(631~634)에서의 지연시간은 홀수예지검출회로(644)가 반전내부 클럭5.5의 라이징 에지를 검출할 수 있도록 홀수예지검출회로(644)에 입력되는 카운트4.5신호가 반전내부클럭4.5의 라이징 에지 이후와 반전내부클럭5.5의 라이징 에지 이전 사이에 놓일 수 있도록 하여야 함에 주목하여야 한다.

<46> 도 9는 본 발명의 다른 실시예에 따른 출력제어신호발생부(140)의 블록선도이다.

<47> 구성에 있어서, 도 9의 본 발명의 다른 실시예와 도 6의 본 발명의 일실시예와의 차이는, 홀수클럭지연부(930)내에 반전내부클럭을 입력받아 지연내부클럭0.5를 출력하는 지연회로 0.5(931)와, 홀수예지검출부(940)내에 지연회로0.5(931)의 출력인 지연내부클럭0.5와 읽기명령 내부신호를 받는 홀수예지검출회로(941), 그리고 카운트1.5신호를 출력하는 홀수예지검출회로(942)가 입력으로 카운트1 대신 홀수예지검출회로(941)의 출력인 카운트0.5를 입력받는다는 데에 있다.

<48> 도 10은 도 9의 실시예에 따라 고주파수에서 동작하는 경우 출력제어신호5.5의 발생과정을 보인 타이밍도이다.

<49> 읽기명령내부신호가 활성화된 이후, 0.5번째 외부클럭에 해당하는 지연내부클럭0.5를 카운트한다. 지연내부클럭0.5는 반전내부클럭이 지연회로0.5의 지연시간만큼 지연된 클럭이다. 이후, 외부클럭1.5 ~ 외부클럭4.5에 해당하는 지연내부클럭1.5 ~ 지연내부클럭4.5를 카운트하고, 외부클럭5.5에 해당하는 반전내부클럭을 카운트하여 출력제어신호5.5를 생성한다.



<50>        이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

#### 【발명의 효과】

<51>        본 발명은 집적회로의 원하는 사양에 맞춰 데이터를 출력시키기 위해 외부클럭에 동기된 내부클럭을 카운트하는 경우에, 지연시간을 달리하는 병렬의 내부클럭을 이용함으로써 고주파수의 동작에서도 클럭 카운트가 가능하게 한다. 특히, 내부클럭과 반전된 내부클럭을 각각 독립적으로 카운트함으로써 지연회로에서의 지연시간과 보상해야 하는 시간과의 오차로 인하여 클럭 카운트의 마진이 축소되는 것을 방지하여 초고속으로 동작하는 집적회로에도 적용할 수 있다.

**【특허청구범위】****【청구항 1】**

저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서,

외부로부터 입력되는 외부클럭에 대응되는 내부클럭과 상기 내부클럭의 반전신호인 반전내부클럭을 읽기명령내부신호를 이용하여 각각 병렬적으로 지연시킴과 함께 상기 내부클럭과 상기 반전내부클럭의 지연시간을 달리하여 카운트함으로써 출력제어신호를 출력하기 위한 출력제어신호발생수단

을 포함하는 것을 특징으로 하는 반도체 집적회로.

**【청구항 2】**

제1항에 있어서, 상기 출력제어신호발생수단은,

입력되는 상기 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 내부클럭지연수단;

상기 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 내부클럭에지검출수단;

입력되는 상기 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연된 반전내부클럭을 출력하기 위한 반전내부클럭지연수단; 및

상기 내부클럭에지검출수단으로부터 출력되는 신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1

지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 반전내부클럭에지검출수단

을 포함하는 것을 특징으로 하는 반도체 집적회로.

### 【청구항 3】

제1항에 있어서, 상기 출력제어신호발생수단은,

입력되는 상기 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 내부클럭지연수단;

상기 읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트하고, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 내부클럭에지검출수단;

입력되는 상기 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연반전내부클럭을 출력하기 위한 반전내부클럭지연수단; 및

상기 읽기명령내부신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트하고, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 반전내부클럭에지검출수단

을 포함하는 것을 특징으로 하는 반도체 집적회로.

### 【청구항 4】

제2항 또는 제3항에 있어서, 상기 내부클럭지연수단은,

상기 복수의 지연내부클럭을 출력하기 위한 병렬연결된 복수의 지연회로부를 포함하는 것을 특징으로 하는 반도체 집적회로.

【청구항 5】

제4항에 있어서,

상기 복수의 지연회로부에서의 지연시간은 상기 외부클럭과 상기 내부클럭간의 지연시간을 포함하는 것을 특징으로 하는 반도체 집적회로.

【청구항 6】

제5항에 있어서, 상기 제1지연내부클럭을 출력하기 위한 제1지연회로부에서의 지연시간은,

읽기명령으로부터 상기 읽기명령내부신호의 생성까지의 지연시간을 더 포함하는 것을 특징으로 하는 반도체 집적회로.

【청구항 7】

제4항에 있어서, 상기 내부클럭에지검출수단은,

적어도 상기 복수의 지연회로부의 출력과 개별적으로 연결되며, 상기 복수의 지연회로부의 출력을 순차적으로 카운트할 수 있는 복수의 내부클럭에지검출부를 포함하는 것을 특징으로 하는 반도체 집적회로.

**【청구항 8】**

제7항에 있어서, 상기 복수의 내부클럭에지검출부 중 어느 하나는,

상기 복수의 내부클럭에지검출부 중 다른 하나로부터의 출력신호를 입력받아 상기 출력 신호의 입력이후에 존재하는 상기 내부클럭의 최초 라이징에지에서 상기 내부클럭을 카운트하는 것을 특징으로 하는 반도체 집적회로.

**【청구항 9】**

제2항 또는 제3항에 있어서, 상기 반전내부클럭지연수단은,

상기 복수의 지연반전내부클럭을 출력하기 위한 병렬연결된 복수의 지연회로부를 포함하는 것을 특징으로 하는 반도체 집적회로.

**【청구항 10】**

제9항에 있어서, 상기 반전내부클럭에지검출수단은,

적어도 상기 복수의 지연회로부의 출력과 개별적으로 연결되며, 상기 복수의 지연회로부의 출력을 순차적으로 카운트할 수 있는 복수의 반전내부클럭에지검출부를 포함하는 것을 특징으로 하는 반도체 집적회로.

**【청구항 11】**

제10항에 있어서, 상기 복수의 반전내부클럭에지검출부 중 어느 하나는,

상기 복수의 반전내부클럭에지검출부 중 다른 하나로부터의 출력신호를 입력받아 상기 출력신호의 입력이후에 존재하는 상기 반전내부클럭의 최초 라이징에지에서 상기 반전내부클럭을 카운트하는 것을 특징으로 하는 반도체 집적회로.

#### 【청구항 12】

저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서,  
입력되는 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 제1 단계;

읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 제2 단계;

입력되는 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연된 반전내부클럭을 출력하기 위한 제3 단계; 및

상기 제2 단계로부터 출력되는 신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 제4 단계

를 포함하는 것을 특징으로 하는 출력제어신호발생방법.

#### 【청구항 13】

저장된 데이터의 출력을 제어하기 위한 출력제어신호를 생성함에 있어서,

입력되는 내부클럭을 이용하여 지연시간을 달리하는 복수의 지연내부클럭을 출력하기 위한 제1 단계;

읽기명령내부신호를 이용하여 상기 복수의 지연내부클럭 중 하나인 제1지연내부클럭을 카운트한 후, 상기 복수의 지연내부클럭 중 제1지연내부클럭을 제외한 나머지 지연내부클럭을 순차적으로 카운트하기 위한 제2 단계;

입력되는 반전내부클럭을 이용하여 지연시간을 달리하는 복수의 지연반전내부클럭을 출력하기 위한 제3 단계; 및

상기 읽기명령내부신호를 이용하여 상기 복수의 지연반전내부클럭 중 하나인 제1지연반전내부클럭을 카운트한 후, 상기 복수의 지연반전내부클럭 중 제1지연반전내부클럭을 제외한 나머지 지연반전내부클럭을 순차적으로 카운트하기 위한 제4단계

를 포함하는 것을 특징으로 하는 출력제어신호발생방법.

#### 【청구항 14】

제12항 또는 제13항에 있어서,

상기 제1 단계의 복수의 지연내부클럭중 어느 하나는 상기 외부클럭과 상기 내부클럭간의 지연시간과 읽기명령으로부터 상기 읽기명령내부신호의 생성까지의 지연시간을 포함하는 것을 특징으로 하는 출력제어신호발생방법.

#### 【청구항 15】

제12항 또는 제13항에 있어서, 상기 제2 단계는,

적어도 상기 복수의 지연내부클럭의 각각을 개별적으로 입력받아 순차적으로 카운트할 수 있는 복수의 내부클럭에지검출부를 포함하는 것을 특징으로 하는 출력제어신호발생방법.

【청구항 16】

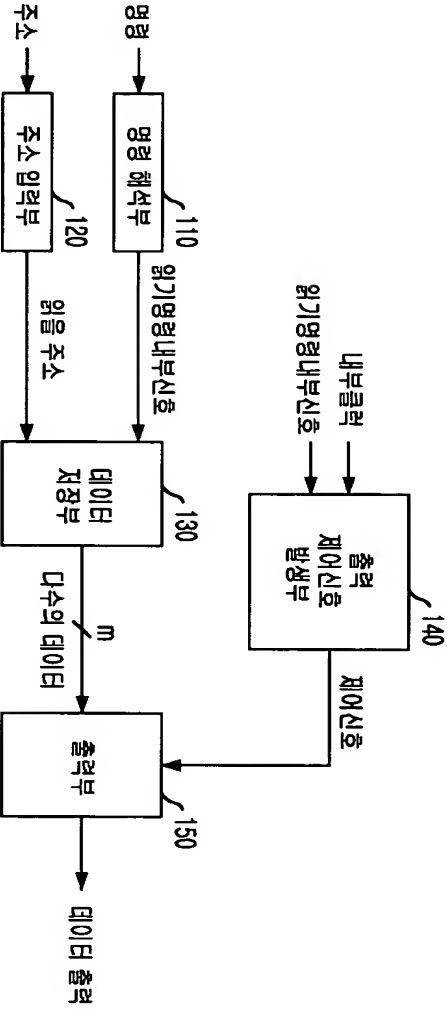
제15항에 있어서, 상기 복수의 내부클럭에지검출부 중 어느 하나는,

상기 복수의 내부클럭에지검출부 중 다른 하나로부터의 출력신호를 입력받아 상기 출력 신호의 입력이후에 존재하는 상기 내부클럭의 최초 라이칭에지에서 상기 내부클럭을 카운트하는 것을 특징으로 하는 출력제어신호발생방법.

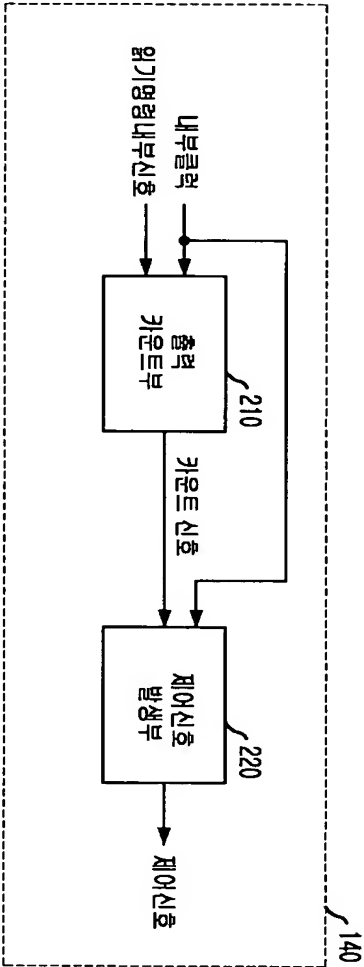


【도면】

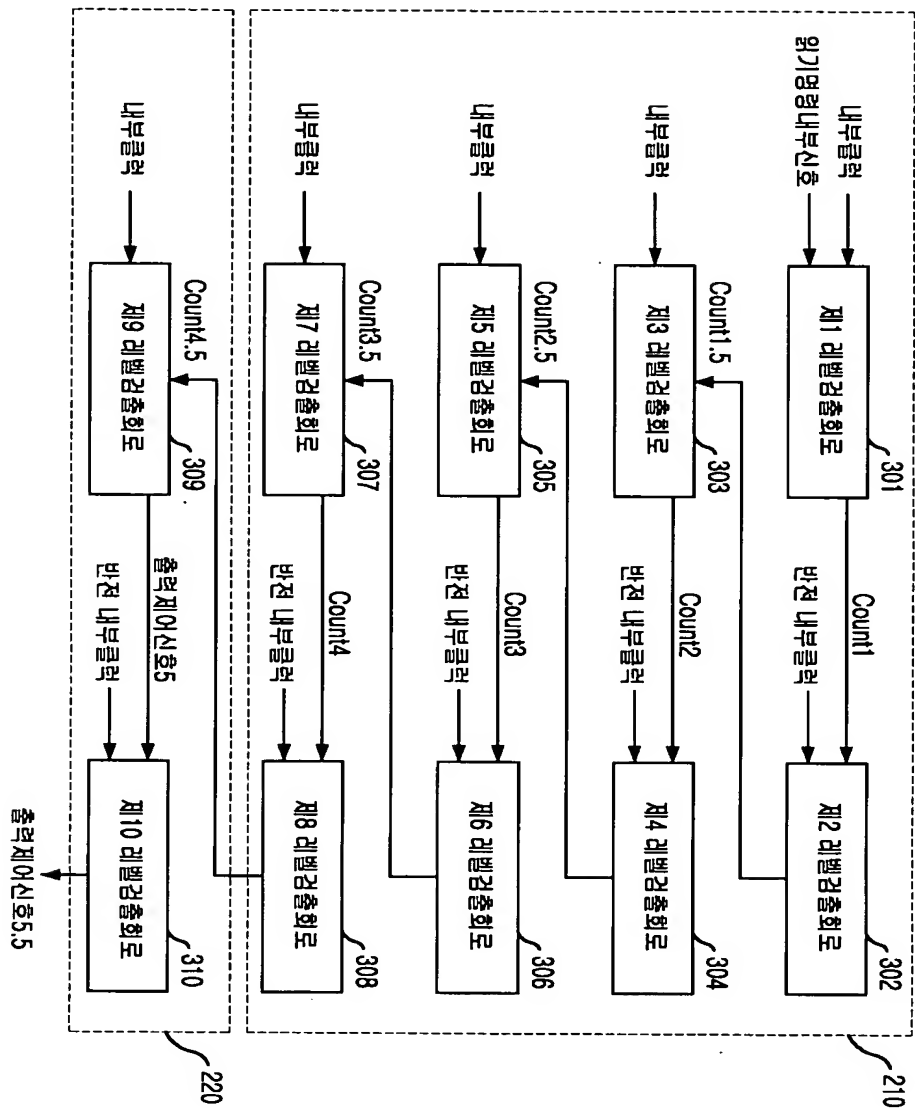
【도 1】



【도 2】

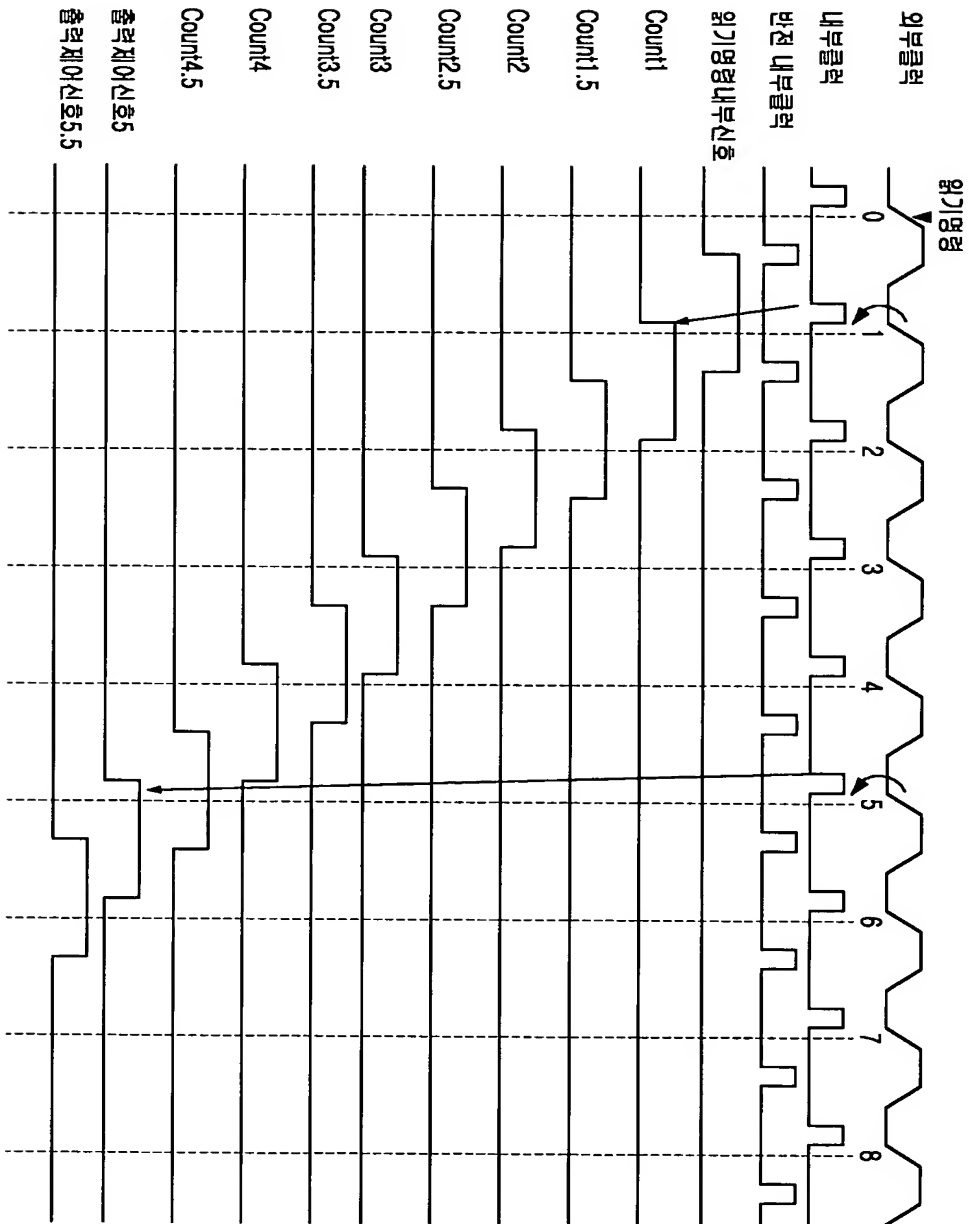


【도 3】



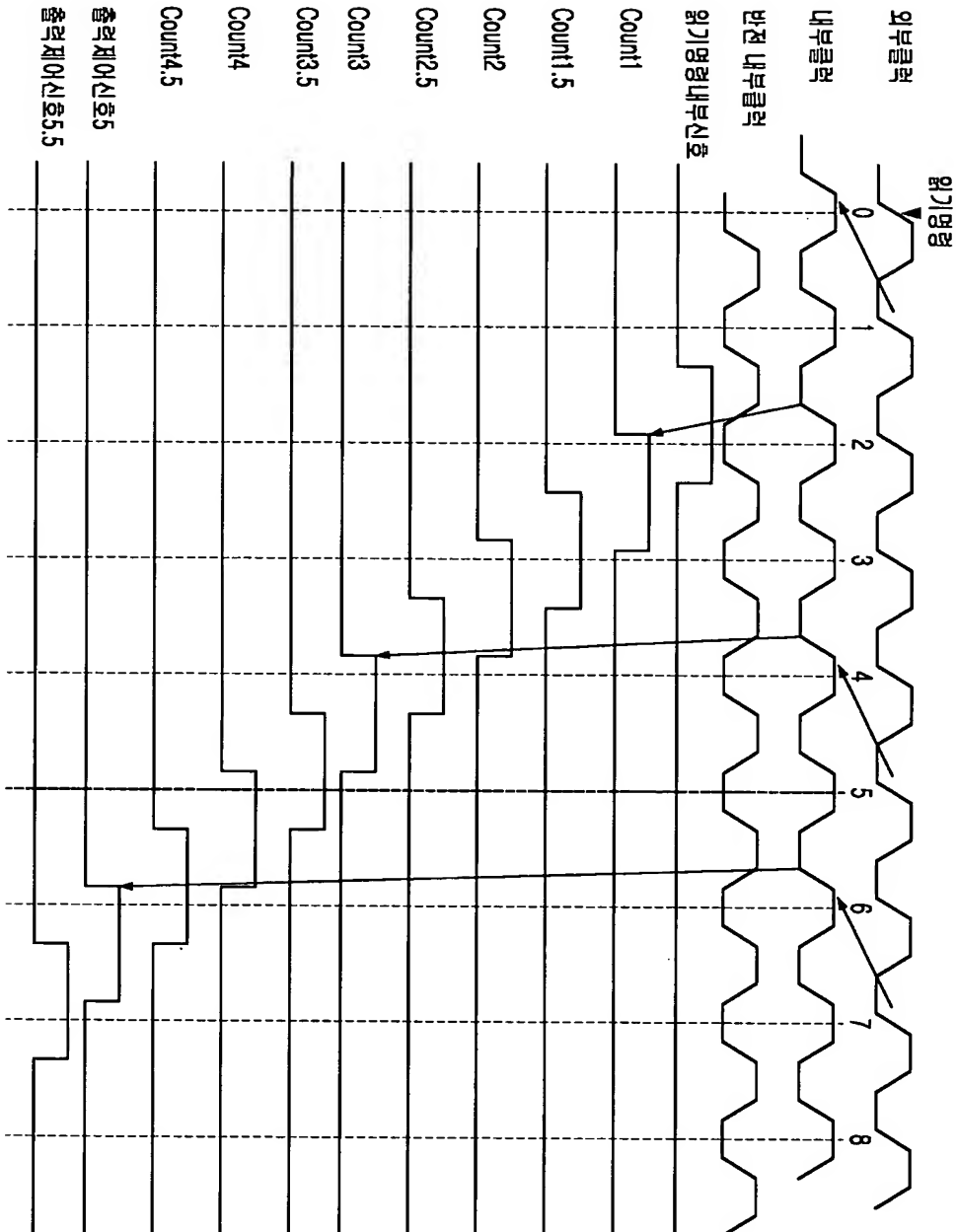
BEST AVAILABLE COPY

【도 4】



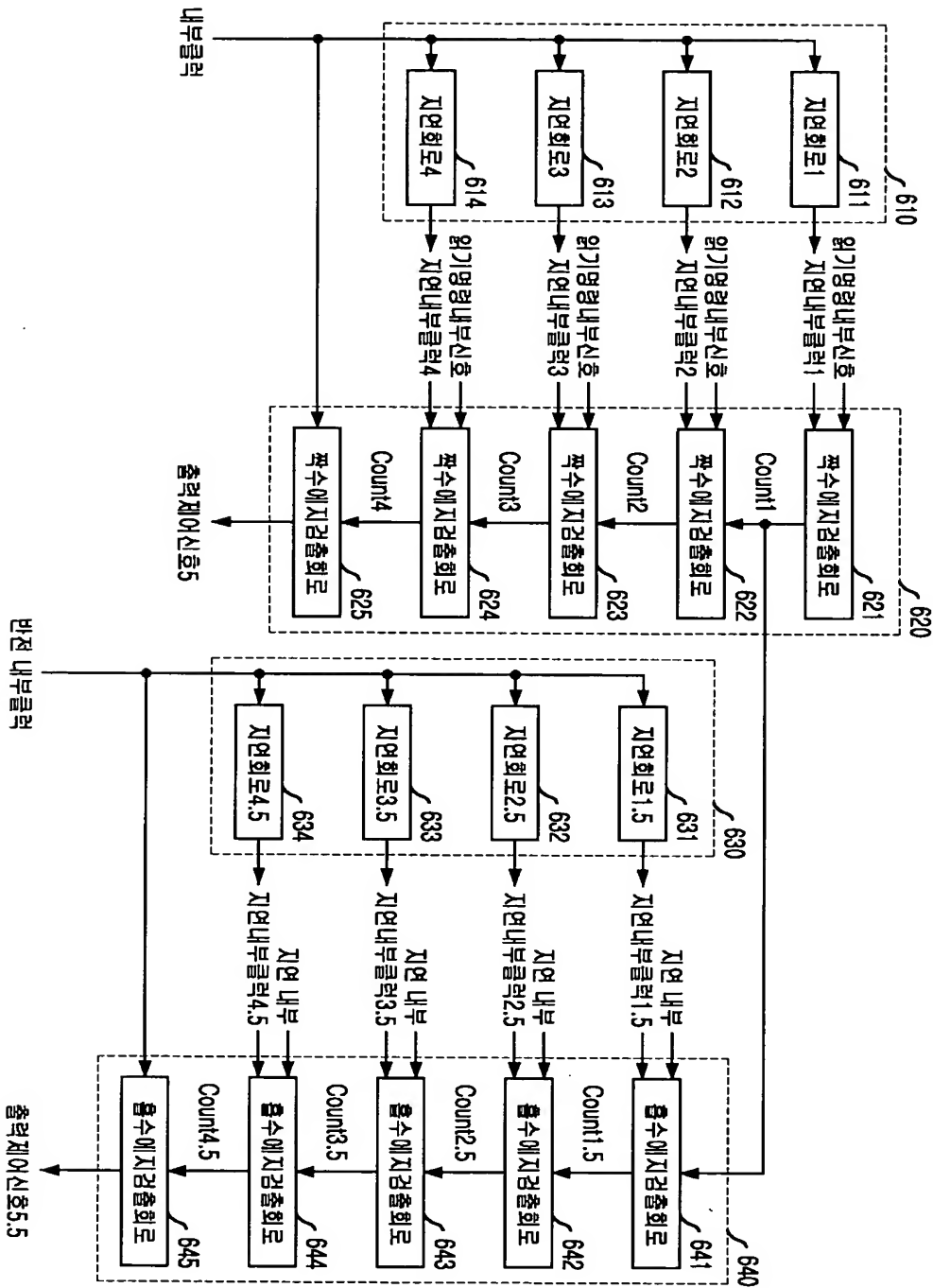
BEST AVAILABLE COPY

【도 5】

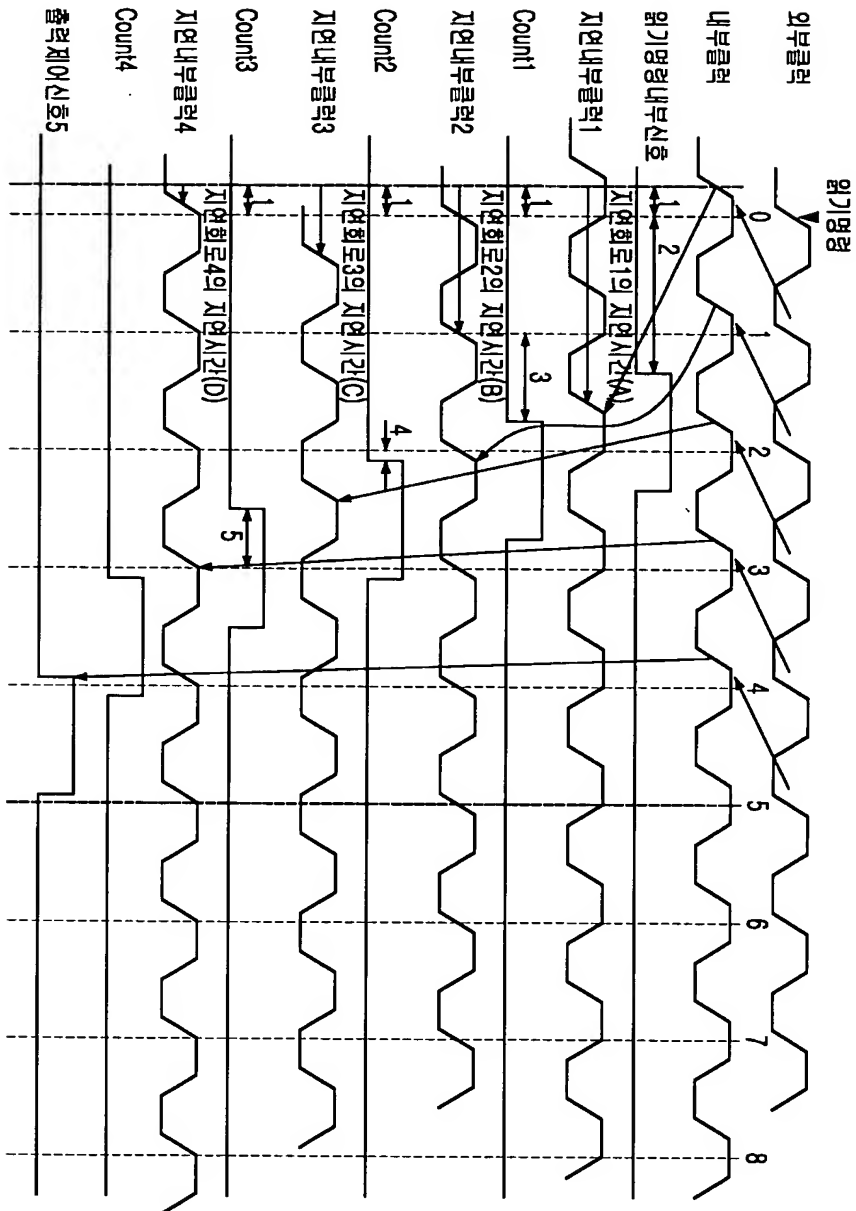


BEST AVAILABLE COPY

【도 6】

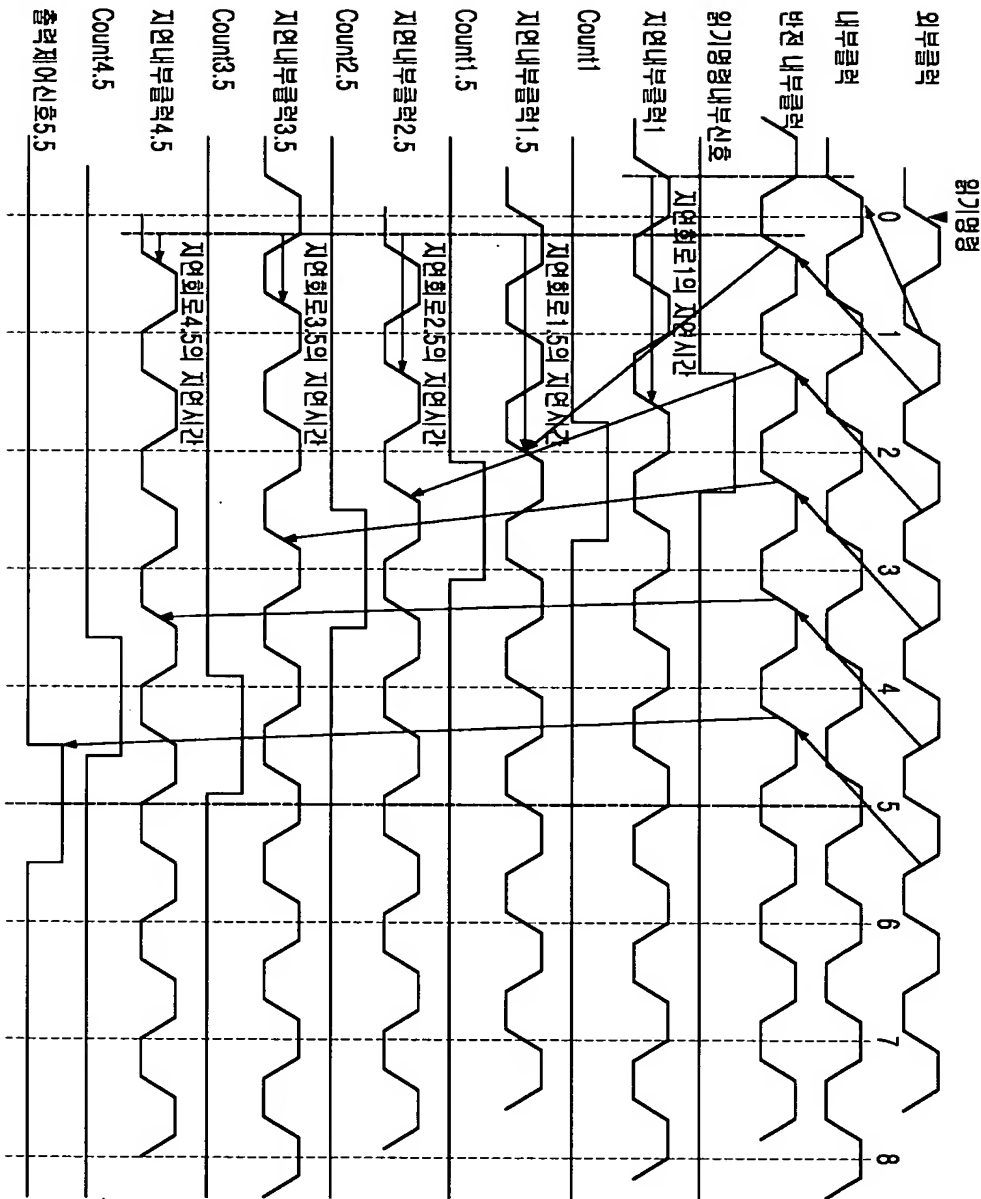


【도 7】



BEST AVAILABLE COPY

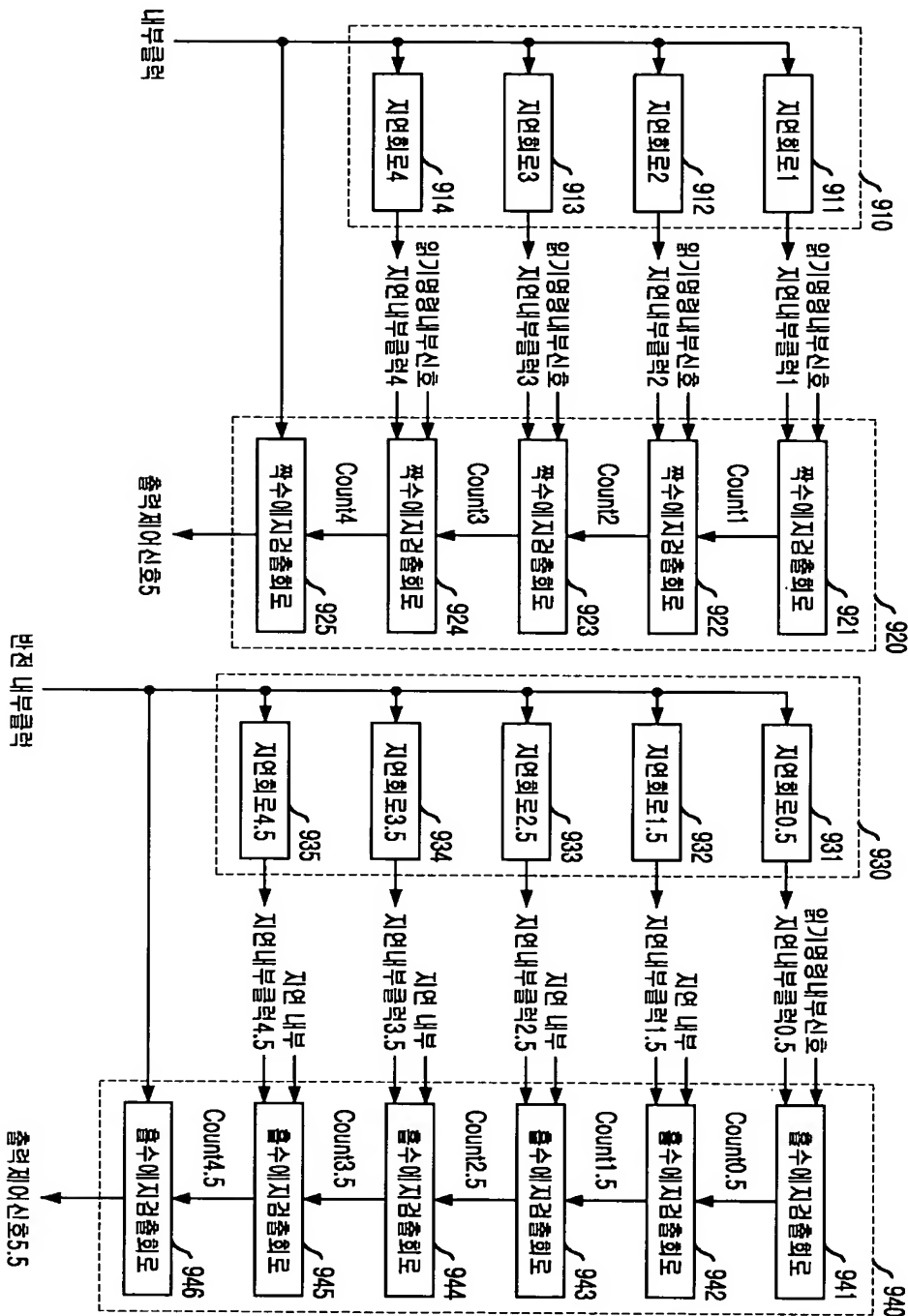
【부 8】



BEST AVAILABLE COPY

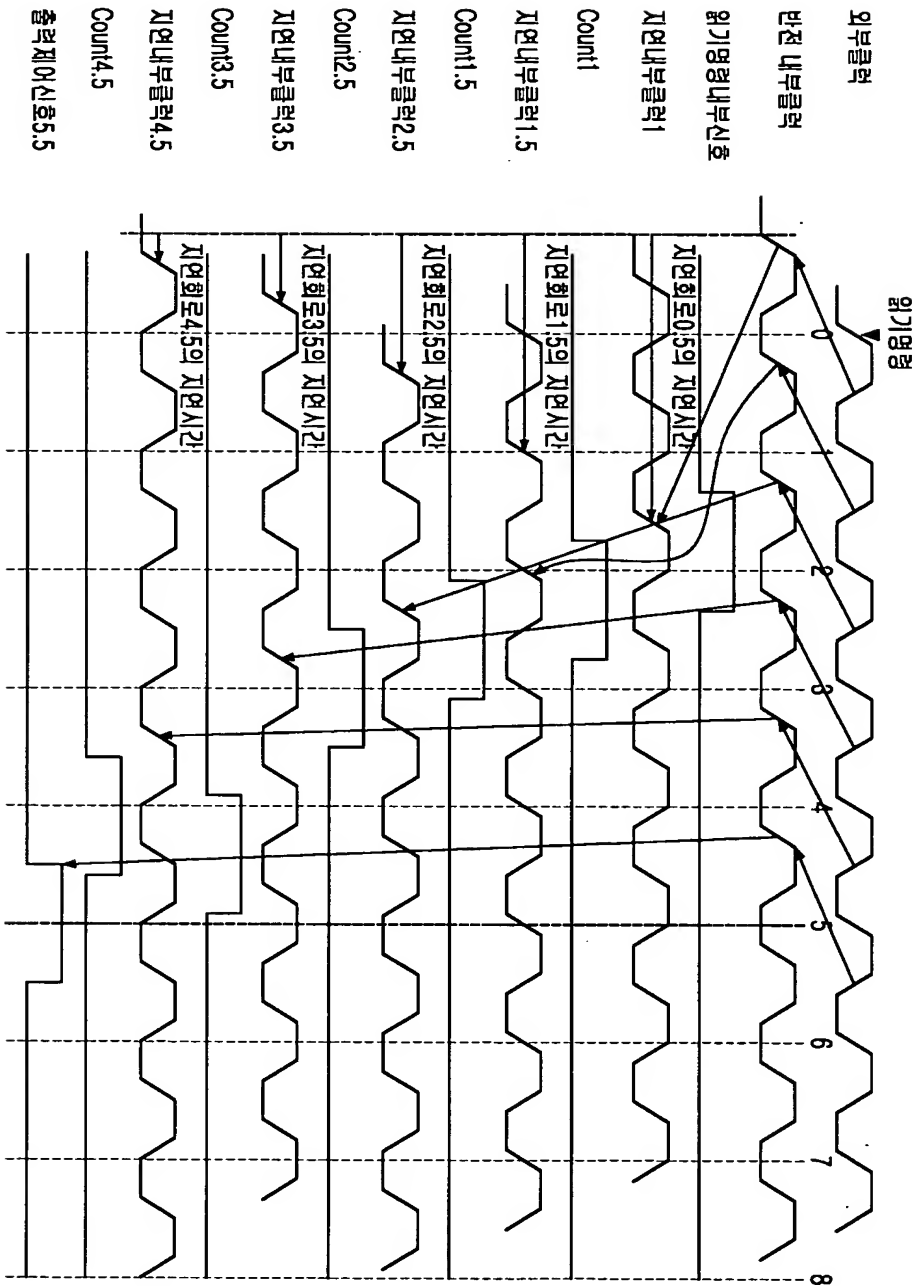


【도 9】



BEST AVAILABLE COPY

【도 10】



BEST AVAILABLE COPY